

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **11-168364**
 (43)Date of publication of application : **22.06.1999**

(51)Int.Cl. **H03K 5/13**

H03H 11/26

(21)Application number : **10-251206**

(71)Applicant : **ST MICROELECTRON SA**

(22)Date of filing : **04.09.1998**

(72)Inventor : **MARBOT ROLAND**

(30)Priority

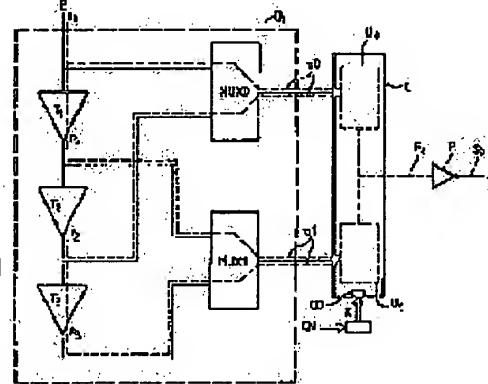
Priority number : **97 9711022** Priority date : **04.09.1997** Priority country : **FR**

(54) VARIABLE DELAY CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an output signal having delay against an input signal by weighting and integrating intermediate signals applied to input and overlapping them and obtaining a combined signal.

SOLUTION: A primary circuit D1 having prescribed delay receives the input signal e0 and outputs the two intermediate signals m0 and m1. The signals m0 and m1 have a prescribed delay fixed between them. The signals m0 and m1 are applied to the inputs X and Y of a connection circuit and the combined signal is outputted. Control input CD receives a command K (namely, the function of delay instruction CN) showing the weight coefficient of combination executed by the connection circuit C. The combination signal FK is applied to the input of a shaping circuit F and an output signal SK is outputted. Inference is executed based on the standardized value of a related signal and the weight coefficients allocated to the signals m0 and m1 are set to be a value K and a value 1-K (K is 0-1). The circuit C is designed to obtain prescribed combination through the use of integration against time required for obtaining the prescribed value.



LEGAL STATUS

[Date of request for examination] **04.09.1998**

[Date of sending the examiner's decision of rejection] **07.08.2001**

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] **3470946**

[Date of registration] **12.09.2003**

[Number of appeal against examiner's decision of rejection] **2001-19807**

[Date of requesting appeal against examiner's decision of rejection] **05.11.2001**

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-168364

(43)公開日 平成11年(1999)6月22日

(51) Int.Cl.⁶

H 03 K 5/13
H 03 H 11/26

識別記号

F I

H 03 K 5/13
H 03 H 11/26

B

審査請求 有 請求項の数 7 O L (全 15 頁)

(21)出願番号 特願平10-251206

(22)出願日 平成10年(1998)9月4日

(31)優先権主張番号 9711022

(32)優先日 1997年9月4日

(33)優先権主張国 フランス (FR)

(71)出願人 591095720

エステーミクロエレクトロニクス ソシエテ アノニム

SGS-TOMSON MICROELECTRONICS SOCIETE ANONYME

フランス国 94250 ジャンティイ アヴ
ニュガリエニ 7

(72)発明者 ロラン マルボ

フランス国 38360 サスナージュ リュ
シャルル グノー 4

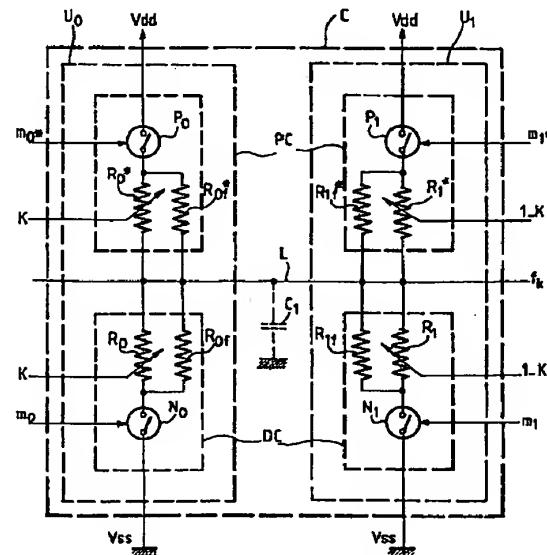
(74)代理人 弁理士 越場 隆

(54)【発明の名称】 可変遅延回路

(57)【要約】

【課題】 可変遅延回路。

【解決方法】 本発明の遅延回路は、入力で入力信号を受け、両者の間に遅れがある2つの中間信号を出力する主回路を備える。本発明の遅延回路は2つのモジュールを備え、これらは重み付けと、積分効果との中間信号およびその共役信号を行い重畠して生じる結合信号を出力する。各モジュールは放電回路および充電回路を備え、各回路は切り替え手段を有し、この切り替え手段はコモンラインと第1の電源電位との間、およびコモンラインと第2の電源電位との間の接続を、まず最初に可変抵抗器によって、第2に、2つのモジュールがキャパシタの充電・放電に永久的に参加することを保証する可変でない抵抗器によって制御する。この遅延回路はCMOS技術回路で特に有用である。



1

【特許請求の範囲】

【請求項1】 入力信号に対して、遅延命令の関数として調整可能である遅れを有する出力信号を提供する遅延回路であって：

- 入力信号を受け、第1および第2の中間信号を出力する主回路であって、第1および第2の中間信号の間に固定された一定の遅延がある主回路と、

- 上記第1および第2の中間信号がそれぞれの入力に印加され、入力に印加されたこれらの信号を制御変数の関数である重み付けおよび積分を行って重畳して生成する結合信号を出力する二入力結合回路と、

- 上記結合信号を受け、出力信号を出力し、閾値効果を有する整形回路とを備え、上記結合回路が：

- 命令を表す制御変数を受ける制御入力と、
- 電源電位に接続されたキャパシタを備えるコモンラインと、

- 上記第1および第2の中間信号によってそれぞれ制御され、上記コモンラインの電位が結合信号の測定値となる上記コモンラインの充電用および放電用の第1および第2のモジュールとを備え、

上記遅延回路の各モジュールが放電回路および充電回路を備え、各回路が切り替え手段を有し、この切り替え手段がそれぞれコモンラインと第1の電源電位との間およびコモンラインと第2の電源電位との間の接続を、まず第1に可変抵抗器によって、第2に前記2つのモジュールのキャパシタの充放電に常に寄与する可変でない抵抗器によって制御し、上記各モジュールの放電回路および充電回路の上記切り替え手段が上記中間信号によって活性化されることを特徴とする遅延回路。

【請求項2】 結合回路が2つの中間信号のうち1つしか受けないとき、上記一定の遅延が結合信号によって示される遷移時間よりも小さい請求項1に記載の遅延回路。

【請求項3】 上記重み付けが結合回路の各入力信号の、重み係数による重み付けで構成され、重み係数の値が制御変数の関数であり、2つの重み係数の合計が一定であり、上記各モジュールの放電・充電回路の可変抵抗器が上記中間信号のうち1つの重み係数に反比例する値をとるように制御されている請求項1または2に記載の回路。

【請求項4】 各モジュールの可変抵抗器が、上記モジュールに関する中間信号の重み係数の関数として選択的に並列接続することができる基本抵抗器の組によって設定される請求項1から3のいずれか一項に記載の遅延回路。

【請求項5】 上記可変抵抗器と、上記可変でない抵抗器と、上記スイッチとがMOSトランジスタのドレイン／ソースバスによって形成され、このトランジスタのゲートは関係する信号または定電位によって、重み係数の関数として制御される請求項1から4のいずれか一項に

2

記載の遅延回路。

【請求項6】 充放電モジュールが重み信号によって制御された3つのアームおよび常に導通している1つのアームを備えている請求項1から5のいずれか一項に記載の遅延回路。

【請求項7】 主回路が直列接続された1組のバッファメモリによって形成され、各バッファメモリが信号をその出力で遅延させ、この出力では少なくとも第1および第2の遅延信号が得られ、入力信号および遅延信号が第

10 1マルチブレクサおよび第2マルチブレクサの入力に印加され、第1および第2中間信号がこのマルチブレクサから出力される請求項1から6のいずれか一項に記載の遅延回路。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は可変遅延回路であって、その遅れが遅延命令の関数として調整可能である可変遅延回路に関するものである。この遅延命令は変数の形をとることができる。

【0002】

【従来の技術】 可変遅延回路の用途は非常に多い。これら遅延回路は例えば2つの論理信号間の位相の調整に用いられる。この場合、2つの信号のうち1つは遅延回路の入力に供給される。遅延回路の遅れの調整はこれら2つの論理信号間の補償すべき位相のずれの測定によって制御される。

【0003】 位相同期ループはこの場合アナログまたはデジタル設定信号によって設定することができる。信号の伝送による妨害および減衰の影響を受け難いため、大

30 抵はデジタル法が好ましい。さらに、集積回路の形態の実施例の場合は、このデジタル法は製造上のばらつきの影響を受け難い。

【0004】 デジタル制御された遅延回路の第1に知られている作製方法は、一連の基本ゲート、例えばインバータ型のものの使用することからなる。全てのゲートはデジタル制御された相互接続システムと組み合わされており、このシステムはカスケード接続する基本ゲートの個数を変えることができる。しかし、このような回路の用途は、遅れの設定の精度を基本ゲート固有の遅れの精度より高くする必要がない場合に制限される。

【0005】 別の知られている方法は、抵抗器／キャパシタ型回路の使用することからなる。この回路では、抵抗器はデジタルコマンドの関数として互いに並列接続された複数の基本抵抗器からなる。この場合、遅れは回路の時定数によって固定される。全ての基本抵抗器が同じ値を有する場合は、得られる遅れはこの場合選択された抵抗器の数に反比例する。ここで、設定範囲を通して一定の設定精度を得るために、設定した数値変数に遅れをリンクする関数をできる限り線形関数に近づける必要がある。したがって、上記の方法によって得られるレスポン

50

ンスは双曲線型であるため、線型関数からほど違う。レスポンスを線型に近づけるためにはこの場合基本抵抗器のサイズを、かなり精密に全て互いに異なる値に決める必要がある。しかし、集積回路の場合この結果を得るのは極めて困難である。さらに、位相を調整しなければならない各信号ごとにこのような回路を設ける必要がある。

【0006】例えば遅延回路が、"Circuit verrouillé en phase et multiplicateur de fréquence en résultant"（フェーズロック回路およびそれから得られる周波数倍器）と題された、1991年1月30日出願、公開第0,441,684号の欧州特許出願に記載の型のフェーズロック回路に用いられるように設計される場合、この回路に必要な空間のためおよび製造上のばらつきの影響を受けやすいために、上記の方法では十分ではない。

【0007】

【発明が解決しようとする課題】本発明の目的は、高精度の設定と同時に、相当の時間間隔において、一定の設定精度に近づけるために遅延命令の関数である遅れの線型的なレスポンスを十分な近似で保証する遅延回路を提供することにある。

【0008】"Circuit à retard variable"（可変遅延回路）と題された、フランス国特許第2,690,022号では、遅延命令の関数である遅れの線型的なレスポンスを提供する可変遅延回路が示されている。しかし、ここで提供される遅れの範囲の幅は技術的に十分なものではない。

【0009】この問題に応えて、"Procédé et dispositif de réglage de retard à plusieurs gammes"（複数の範囲を有する遅れを設定するための方法と装置）と題された、フランス特許第2,689,339号では、多数の範囲の概念を扱っている。しかし、実際には、遅延命令の関数である遅れの線型性に問題が見られる。

【0010】

【課題を解決するための手段】本発明の回路の目的は、入力信号に対して遅れを有する出力信号を出力する遅延回路にある。この出力信号は遅延命令の関数として調整することができる。本発明の遅延回路は主回路と、結合回路と、整形回路とを備えている。主回路は入力回路の出力を受け、両者の間に固定された一定の遅延がある2つの中間信号を出力する。結合回路は2つの入力と、命令を表す制御変数を受ける1つの制御入力とを有する。

【0011】これら中間信号は結合回路の2つの入力に印加される。結合回路は出力で結合信号を出力する。この結合信号はその入力に印加される中間信号を、重み付けおよび積分して、重畳させることによって得られる。結合信号の重み付けは結合回路の入力における各信号を、重み係数で重み付けすることで構成されている。重み係数の値は制御変数の関数である。

【0012】結合回路によって出力される結合信号は整

形回路の入力に印加される。整形回路は閾値効果を有する。結合信号が積分効果によって特定の閾値に達するとき、整形回路は活性化信号、出力信号を生成する。

【0013】したがって、入力信号に対する出力信号の有効な遅れは結合信号のレベルに依存する。結合信号の最大および最小の振幅は遅延命令から独立しているのが望ましい。そのため、2つの重み係数の合計は一定である。

【0014】実際には、結合回路への積分は積分回路または時定数回路によって生成され、積分回路または時定数回路は結合信号の極値のレベルを規定する飽和効果を常に有している。遷移時間は、中間信号に関する重み係数のうちの1つがゼロであるとき、結合信号が線型または準線型関数に従って変化する時間と定義される。

【0015】遷移時間より短い、固定された一定の遅延を検出するということは、入力信号に対する出力信号の遅れが重み係数の関数として不連続性を全く持たないことを保証することである。遅延命令の関数である遅延の変化が設定範囲を通して命令値の事実上の線型関数に従って変化できるように、一定の遅延を有する結合回路および／または主回路は、この一定の遅延が遷移時間の半分になるように設計することができる。

【0016】上述のフランス国特許第2,690,022号に記載の回路において、遅れの範囲の幅の拡大を妨げるのは、固定された遅延と遷移時間とをリンクするこの制約である。実際に、遅れの範囲は固定された遅延回路によって規定される。ここで、この一定の遅延を増加させると、遷移時間の半分に等しい一定の遅延を定義する条件に対するレスポンスはもはや存在しない。この条件は入力命令に対する出力信号の遅れの線型性を保証するものである。この問題を解決するために、上記特許第2,689,339号は主回路を変更している。この発明では一連のカスケード接続された遅延回路が設定されている。これらのカスケード接続された遅延回路の出力はマルチブレクサに接続されている。このマルチブレクサは、両者の間に固定された一定の遅延（前例と同様に）有し且つ共に入力信号に対する基本的な遅延を有する一对の信号を中間信号として選択する際に用いられる。この場合、この範囲が変化すると、技術的な要因による遅延のギャップまたは不連続性が観察される。不連続性が負の場合、サーボ制御配列では許容値に平衡する設定を見つけだすことができない。この発明では、この問題は結合回路を変更することによって解決し、実際に、全範囲を探索することができる。

【0017】

【発明の実施の形態】本発明の目的は、入力信号に対して、遅延命令の関数として調整可能である遅れを有する出力信号を提供する遅延回路であって：
-入力信号を受け、第1および第2の中間信号を出力する主回路であって、第1および第2の中間信号の間に固

定された一定の遅延がある主回路と、

- 上記第1および第2の中間信号が2つの入力に印加され、この2つの入力に印加された信号を制御変数の関数である重み付けおよび積分を行って重畳して生成する結合信号を出力する二入力結合回路と、
- 上記結合信号を受け、出力信号を出力し、閾値効果を有する整形回路とを備え、上記結合回路が：
- 命令を表す制御変数を受ける制御入力と、
- 電源電位に接続されたキャパシタが接続されたコモンラインと、
- 上記第1および第2の中間信号によってそれぞれ制御され、上記コモンラインの電位が結合信号の測定値を構成する上記コモンラインの充電用および放電用の第1および第2のモジュールとを備え、上記遅延回路の各モジュールが放電回路および充電回路を備え、各回路が切り替え手段を有し、この切り替え手段がそれぞれコモンラインと第1の電源電位との間およびコモンラインと第2の電源電位との間の接続を、まず第1に可変抵抗器によって、第2に前記2つのモジュールのキャパシタの充電・放電に永久的に寄与する可変でない抵抗器によって制御し、上記各モジュールの放電回路および充電回路の上記切り替え手段が上記中間信号によって活性化されることを特徴とする遅延回路にある。

【0018】本発明の対象はさらに、CMOS技術を使用できるように特に設計された実施例である。この実施例並びに本発明の他の観点および利点は添付図面を参照した以下の説明からより良く理解できよう。下記実施例は単に参考として挙げたものであって、本発明の範囲を限定するものではない。

【0019】

【実施例】本発明の遅延回路は図1の概略図で示されている。本発明の遅延回路は固定された一定の遅延を有する一次回路D1を備えている。回路D1は入力信号e0を受けて出力において第1および第2中間信号m0およびm1を出力する。

【0020】信号m0およびm1はそれらの間に固定された一定の遅延Tがある。信号m0およびm1はそれぞれ結合回路Cの入力XおよびYに印加され、この結合回路Cは結合信号fKを出力する。結合回路Cは制御入力CDを有し、制御入力CDはこの回路Cによって実施される結合の重み係数を表すコマンドKを受ける。このコマンドKは遅延命令CNの関数である。

【0021】結合信号FKは整形回路Fの入力に印加され、この整形回路Fは出力信号SKを出力する。以下の説明では分かりやすいように、関連する信号の標準化された値に基づいて推論し、信号m0およびm1に割り当てられた重み係数がそれぞれ値Kおよび値1-K (Kは0から1) であると仮定することにする。したがって、回路CはgKからFKを得るのに要する時間に対する積分を用いて結合

【式1】 $gK = K \times m0 + (1 - K) \times m1$

を得るように設計されている。

【0022】信号e0は第1バッファメモリT1の入力でもある回路の入力Eに印加される。図示した好ましい実施例では、3個の同一のバッファメモリT1、T2およびT3が直列接続されている。これらは固定された一定の遅延を信号e0にシリアルに導入するために用いられる。一定の遅延は全てTに等しく、信号e0はT、2T、3T等の遅れを生じさせるのが好ましい。しかし、

10 この遅延は互いに相違させることができる。信号r1はバッファメモリT1の出力に、信号r2はバッファメモリT2の出力に、信号r3はバッファメモリT3の出力に発せられる。第1のバッファメモリの入力は第1のマルチブレクサMUX0の2つの入力のうちの1つに接続されている。バッファメモリT2の出力はこのマルチブレクサMUX0の他方の入力に接続されている。バッファメモリT1およびT3は第2マルチブレクサMUX1の2つの入力に接続されている。マルチブレクサMUX0およびMUX1の出力は結合回路Cの入力に接続さ

20 れ、遅れの補間が行われる。結合回路の出力信号fKは整形回路Fに入力される。結合回路は2つのモジュールU0およびU1で構成されている。補間は信号e0と信号r1との間、または信号r2と信号r1との間、または信号r2と信号r3との間で得ることができる。これら3つの組み合わせは、それぞれの信号間に等しい一定の遅れTを有する組み合わせのみである。これら3つの組み合わせ信号を結合回路の入力に送信することによって、一定の範囲の遅れが得られることは確かである。信号e0と信号r3との組み合わせは結合回路の入力に印

30 加されることはない。これは、この2つの信号間の遅れがありに大きく、上述の線型性の条件に合わないことによる。

【0023】このようにして、複数の範囲の遅れを次々に配することができる。これらの範囲の順番は、0からTの範囲で可変の遅れを発生させるために第1の組み合わせe0 r1を用い、TからT2の範囲で可変の遅れを発生させるために第2の組み合わせr1 r2を用い、2Tから3Tの範囲で可変の遅れを発生させるために第3の組み合わせr2 r3を用い、同様にして、使用するバッファメモリの数およびマルチブレクサの容量で決まるが、これらが本発明の遅延回路の遅れの動的な範囲の合計(total dynamic range)を調整している。

【0024】図2から図9に示す曲線を用いて図1の回路の動作を説明する。これらの曲線は、Tより長い時間T'である一定の遅れを有する単純な回路D1を導入して遅れの範囲を直接増加させることを行わなかった理由を説明している。これらの曲線は、まず最初に、信号m0と信号m1との間の固定された一定の遅れTと遷移時間tmとを比較して、結合信号FKおよび出力信号SKの性質を説明する。遷移時間tmは、結合回路が信号F

Kの値をKが0または1のときに最小値から飽和する値にする時間である。さらに、これらの図は、一定の遅れTは固定されると仮定した場合の、遷移時間tmの異なる値に関して係数Kの関数である遅れTKの変化を示す。

【0025】Tがtm/2からtmである場合を図2および図3に示す。図2(a)に示すタイミング図は結合回路Cの入力XおよびYに印加された信号m0およびm1を示している。信号m0は論理信号であるため、第1レベルと第2レベルとの間に急勾配の遷移エッジを有し、それより大幅に遅れて、信号m0をその第1レベルに復元する別のエッジ(図示せず)が続く。立ち下がりエッジ(トレーリングエッジ)は遅延することが求められる信号R0のパルスの終わりを表す。このパルスの期間はT、2T、3T等と比較して長い。遅延信号m1はm0と等しい信号として示されているが、回路D1によって規定された遅れTの分だけ遅延されたものである。実際には、信号m0のエッジは、信号m0が結合回路Cの閾値S1に達する瞬間に結合回路Cに利用されている。一般に、閾値S1は信号m0の最小レベルと最大レベルとの平均レベルに対応する。これは信号m1についても同様である。閾値が平均レベルに設定される場合は、これらの信号m0およびm1は示された形とは異なる形であってもよい。遅れTは、信号m0が閾値に達する瞬間と信号m1が閾値に達する瞬間との間の時間(時間差)と定義される。

【0026】図2(b)のタイミング図は重み係数Kの各値に関する結合信号FKを表している。当然、示された信号の形は実回路で得ること可能な信号を単純化して表現している。しかしながら、この表現は現実からかけ離れてはいないことは注意する必要がある。特に、飽和の定常レベルは常に見られる。これは曲線F1(K=1)ではt=t_mから、他の曲線ではt=t_m+Tで見られる。パルスの積分値はいかなる場合でも最終的には、電源電位の値に制限される。整形回路Fでは、信号FKは閾値S2と比較され、閾値S2は信号FKの最小レベルと最大レベルとの平均レベルにあるのが好ましい。比較器が切り替わるとき、信号e0に対して遅れることが求められていた出力信号が生成される。

【0027】信号F1はKが1、すなわち信号m1に印加された重み係数がゼロである場合に対応する。信号F1は台形の形を有し、立ち上がりエッジ(リーディングエッジ)は信号m0が閾値S1に達する瞬間に応する瞬間ゼロから始まる。信号F1は飽和レベルに達する瞬間tmまで線型に増加し、定数の積分はアフィン関数(function affine)である。

【0028】信号F0は信号m0に印加された重み係数Kがゼロである場合に対応する。この信号F0は信号F1を遅れTだけ後に再生するものである。これら2つの極限の場合以外の重み係数に関しては、結合信号は曲線

FK1およびFK2によって示される形を有する。結合信号を表す曲線はこの場合3つの異なる部分Pa1、Pa2、Pa3を有する。部分Pa1は、信号m1が閾値S1に達するまでの時間に対応する。信号FKiはこの場合信号m0に対してのみ正比例する。FKiを表す曲線の部分Pa3は、信号F1が飽和に達するときに始まる時間に対応する。信号FKiはこの場合信号m1に対してのみ正比例する。部分Pa2は、信号m1が閾値に達してから信号F1が飽和に達するまでの時間に対応する。信号F1およびF0はそれぞれ瞬間t1およびt0で閾値S2に達し、一方、信号FKiは瞬間θiでこの閾値に達する。t1とt0との間の差は遅れTに等しい。したがって、入力信号に対する結合信号のそれぞれの最小および最大の遅延は、それぞれt1からt0の間に含まれる。その結果、一般に得られる遅れはt1からt1+Tの範囲の値θを有することになる。

【0029】図2(c)のタイミング図は、図2(b)のタイミング図に示された3つの場合のそれにおける整形回路Fの出力信号を表している。すなわち、信号S1およびS0はそれぞれ瞬間t1およびt0で1つのエッジを有する。所定の係数Kに関しては、出力信号SKは信号S1に対して値TKの分だけ遅延されたエッジを有することになり、この場合、値TKは0からTの範囲の値で、すなわちm0に対してt1+Tとなる。

【0030】図3は0から第1の値K1の範囲のKに関して、TKはTからtm/2の範囲で正弦曲線で変化することを示している。この第1の値K1はtmに等しい遅れθと一致するm1の係数としての1-Kに対応する。0からK1の範囲のKに関して、得られた値θは遅れの特性であり、実際に曲線FKの部分Pa3と水平部分との間で測定される角α2の余弦につれて変化する。これは例えば、曲線部分Pa3を含む直線の式を確立し、K1が1-tm/2Tに等しいという計算をして容易に説明することができる。

【0031】同様に、K2から1の範囲のKに関して、得られた値θは遅れの特性であり、曲線FKの部分Pa1と水平部分との間で測定される角α1の余弦につれて変化する。K1の計算と同じ方法で、K2=tm/2Tを計算することができる。K1とK2との間で、曲線FKの部分Pa2はF1およびF0と平行である。実際にこれは2つの平行な直線の線型結合の結果であり、この直線はF0およびF1を表す曲線を有している。したがって、K1からK2の範囲のKに関して、遅れの値θはKの線型関数の結果である。

【0032】図4および図5はTがtmである場合を表している。この場合、上記の値K1およびK2は等しく、Kの関数である遅れTKの直線部分はなくなっている。Kが変数であると仮定した場合、遅延関数TK'は直線になることはない。

【0033】図6および図7はTがtmより大きい場合

を示している。この場合、信号 f_K の部分 P_{a2} は水平である。これは、部分 P_{a2} が、この間水平である F_1 と F_0 との線型結合であることによる。 K が $1/2$ の場合は、信号 f_K のこの水平部分は遷移閾値 S_2 のレベルに位置している。遅れはこの場合完全には定義されない。遅れは図6(c)のタイミング図の間隔 Z のどこかの部分で、図7に示された、 K の関数である曲線 T_K のそのレベルで不連続を生じる。

[0034] 図8および図9は T が $t_m/2$ より小さい場合を表している。この場合、閾値 S_2 には曲線 f'_K の部分 P_{a2} でしか達することができます、このレスポンスは図9に見られるように必ず直線である。

[0035] したがって、遅れ θ が重み係数 K の関数としてどのように変化するかは、主に上記のように定義した遷移時間 t_m やび固定された一定の遅延 T に依存している。遷移時間 t_m は入力信号 e_0 に対する出力信号 s_K の最小の遅れ t_1 を定義する。完全な直線の場合は、すでに考察した一例のように、この最小の遅れは遷移時間の半分である。本発明では、この遅れ時間の問題を解決するために、複数の直列接続した遅延回路を備えている。信号の結合 $e_0 \rightarrow 1, r_1 \rightarrow 2$ やび $r_2 \rightarrow 3$ の間に存在する遅れに関しては、 t_m より小さい値 T を有するように選択するのが好ましい。しかし、これは必須ではない。その場合、ある程度の直線性が失われることもある。

[0036] 上記の分析によって、主回路および結合回路に与えるべき大きさに関するいくつかの結論を引き出すことができる。まず、重み係数 K のしたがって遅延命令の関数である遅れ T_K の全ての不連続性を防止するために、 T は好ましくは t_m より小さくなければならぬ。第2に、 T が $t_m/2$ 以下になると、遅れ T_K の線型レスポンスは K の関数として得られる。したがって、定数としての t_m に関しては、 T が $t_m/2$ であるときに線型レスポンスが得られることになり、しかも最大の設定範囲が得られる。

[0037] 固定された一定の遅延 T は遅れの設定範囲を決定するものである。したがって、特定の範囲では、 $t_m = 2T$ を選択することによって線型レスポンスを得ることができる。しかし、より短い遷移時間を選択して、遷移時間 t_m に直接依存する最小の遅れ t_1 を減少させることができるのである。一般に、 T や t_m の選択は、最小の遅れと、遅れの設定範囲と、遅延命令に対する遅れの線型性との間の妥協の結果である。

[0038] 図10および図11はCMOS技術を利用して、結合回路Cの概念的実施例に関するものである。図10はCMOS実施例を容易に理解するために使用するその概略図である。図10の回路はコモンラインLの第1の充電・放電モジュールU0および第2の充電・放電モジュールU1を備えている。コモンラインLはキャバシタC1に接続されている。キャバシタC1はさらに

グラウンド、または別の定電位に接続される。この定電位は V_{dd} にすることができ、回路の動作はこの場合逆転される。コモンラインの電位は結合信号の測定結果となる。各モジュール U0, U1 は充電回路 PC と、放電回路 DC とを備えている。各充電回路 PC は、モジュール U0 用に可変抵抗器 R0 * を、モジュール U1 用に可変抵抗器 R1 * を備え、さらに U0 用にスイッチ P0 を、U1 用にスイッチ P1 を備えている。また、各放電回路 DC は、モジュール U0 用に可変抵抗器 R0 を、モジュール U1 用に可変抵抗器 R1 を備え、さらに U0 用にスイッチ N0 を、U1 用にスイッチ N1 を備えている。各スイッチは、ライン L と充電回路用の電源電位 V_{dd} やび放電回路用の V_{ss} の間で、各スイッチに組み合わされた抵抗器の接続を制御する。ユニット U0 やび U1 のスイッチは信号 m_0 やび m_1 、並びにその相補信号 m_0^* やび m_1^* によってそれぞれ制御されている。

[0039] 可変抵抗器 R0, R0 * は重み係数 K に反比例する値を取るように制御され、一方、ユニット U1 の抵抗器 R1, R1 * は $1-K$ に反比例する値を取るように制御されている。ライン L の電位は結合信号 f_K の測定値となっている。

[0040] 図10の回路の動作を説明するために、ライン L は初期電位 V_{dd} で充電され、信号 m_0 やび m_1 の初期値はゼロであると仮定することにする。スイッチ P0 やび P1 はこの場合閉じており、一方、N0 やび N1 は開いている。信号 e_0 がアクティブになると、スイッチ N0 は閉じられ、スイッチ P0 は開く。回路はこの場合ライン L のキャバシタによって規定された時定数と、抵抗器 R0 やび R1 * を並列接続したのと同じ値の抵抗とを有する。R0 やび R1 * はそれぞれ K やび $1-K$ に反比例しているため、時定数は K とは独立している。ライン L はこの場合値 V_{dd} から値 $(1-K)V_{dd}$ まで、この時定数で放電される。この放電はこのようにして、信号 m_1 がアクティブになる時点まで継続する。そして、スイッチ N1 は閉じられ、スイッチ P1 は開く。ライン L はこの場合上記と同じ時定数でゼロへ向かう放電を継続する。信号 m_0 が再度イナクティブになると、スイッチ P0 は閉じてスイッチ N0 は開く。これはライン L を電圧 $K \cdot V_{dd}$ まで充電するための回路を設定する。 m_1 が再度イナクティブになると、初期状態に戻る。

[0041] 図11は図10の回路に対応する詳細な CMOS実施例を示している。図11はフランス国特許第2,690,022号に記載の図2に従う。充電回路 PC やび放電回路 DC は、それぞれ P チャネルおよび N チャネルの MOSトランジスタによって構成されている。可変抵抗器 R0, ..., R1 * は信号 k_0, \dots, k_i とその相補信号 k_0^*, \dots, k_i^* によって制御される並列接続された MOSトランジスタによって形成され

11

ている。組み合わされるスイッチはMOSトランジスタのドレイン／ソースバスによって形成され、このトランジスタのゲートは関係する信号 e_0, e_1 を受ける。時定数を定義する構造上のキャパシタンスはライン L に接続されたアクティブなMOSトランジスタのドレイン／ゲートキャパシタンスによる。

【0042】回路の設計上、結果として生じるキャパシタンスは一定に維持され、 K の値とは独立している。さらに、各充電または放電回路の可変抵抗器を構成しているMOSトランジスタは、その抵抗が制御信号 $k_0, \dots, k_i, k_{0*}, \dots, k_{i*}$ の重みに応じて2の累乗で変化するような大きさにすることができる。図11は入力に e_0 を受けるよう接続され、信号 m_0 および m_1 を出力する遅延回路D1を再度示している。この図はさらにfKからsKへ変換する整形回路Fを示している。

【0043】 m_0 が1であるとき、導通しているのは図の最下部のトランジスタである。したがって、キャパシタC1は放電される。 m_0 が0であるとき、導通しているのは図の最上部のトランジスタである。キャパシタC1はこの場合充電される。

【0044】モジュールU0のコマンドが有効化されると、すなわち全ての k_i の値が1であり、 m_0 が0であるとき、キャパシタンスC1は最小の遅れを伴って充電される。この場合、設定時またはプログラミング時に値 k_i を0にすることができる。 k_i の値は、課すべき遅れが決定されると、変更されることはもはやなくなる。したがって、必要に応じて徐々に、モジュールU1のブランチは活性化される。キャパシタC1は充電され続けるが、一定の遅れを伴っている。最後に、全てのコマンド k_i が0であるとき、電流はモジュールU1にしか流れず、この場合遅れはキャパシタC1の充電に対して最大である。

【0045】キャパシタを放電する段階は上記の充電の原理に従うが、 m_0 は1に等しく、さらに m_1 は1に等しい。このようにして、信号 m_0 および m_1 の立ち上がり（0から1への変化）およびこの立ち下がり（1から0への変化）のための遅れを得ることができる。遅れの線型性を保証するために、キャパシタをVddまで充電する必要がある。したがって、まず、完全にVddに充電するためにパルスをかなり長くする必要がある。周波数100MHzに対応する5nsの高レベルを有するパルス e_0 を用いることによって、この点は問題がない。

【0046】キャパシタC1の電位は、ノードLで読取ることができ、信号SKの電位である。この電位が整形回路Fの閾値に達するときにのみ、信号SKは切り替わる。図11の図面から、信号 m_0 と m_1 との間の遅れによってのみ決定される遅れの範囲が得られる。ここで、技術的観点から、今度はより大きい遅れの範囲が必要となる。そういうわけでマルチブレクサを有する図1のシ

12

ステムが提供されている。しかし、この方法は図12および図13を参照して説明されるように必ずしも十分なものではない。この方法は本発明では図14および図15で示す回路によって改良されている。

【0047】図12は図11の回路の入力Eと出力Sとの間の遅れをデジタル制御信号の関数として表した曲線を示している。5つの特性点を曲線上に見ることができる。点Aは最小の遅れ、したがって結合回路に入るのが信号 e_0 および r_1 であり、100%の電流がモジュールU0を流れる場合に対応している。点Bは、信号 e_0 および r_1 が結合回路に入り、~100%の電流がモジュールU1を流れる最大の遅れに対応している。AからBへの区間は範囲P11を構成している。導入すべき遅れが点Bの遅れより大きいとき、マルチブレクサMUX0のみが切り替わる。この場合、第2の遅れの範囲P12に達することができる。この第2の範囲P12は点Cで終わり、100%の電流がモジュールU0を流れる状態である r_1 と r_2 との間の最大の遅れに対応する。実際には、望ましい接続モードの利点によって、図11および図15の回路の対称性を考え、マルチブレクサ(MUX0)のみを切り替えることができる。次いで、マルチブレクサMUX1が切り替わる番になり、信号 r_1 は信号 r_3 に代わる。このようにして遅延曲線の第3の範囲P13を開始することができ、点Dに達する。この点Dは100%の電流がモジュールU1を流れる状態である r_2 と r_3 との間の最大の遅れに対応している。遅延曲線の第1の範囲に位置する点Hについて考察すると、この点Hでは、約90%の電流がモジュールU0を流れ、10%の電流がモジュールU1を流れているといえる。

【0048】しかし、この曲線は理論にとどまっている。実際に得られるのは、図13に示す曲線である。この曲線から、マルチブレクサが切り替わるときにデジタルコマンドの関数である遅延曲線の非線型性が存在することがわかる。この非線型性は平坦部分MHで表され、水平または、さらにひどいと、下方へ傾いている。点Xはある範囲の最後の点を示し、点X'は次の範囲の最初の点を示す総称とする。この2つの点XおよびX'の位置では線型曲線を得るために用いることができない。さらに、点XとX'とをつなぐ平坦部分MHは立ち下がり部分であるため、線型曲線は単調にさえなることはない。この種の問題は電流リーク、出力から入力への電荷の再注入またはキャパシタC1における電荷分布の問題によって説明することができる。

【0049】図14および図15は本発明によるこの問題の解決策を示している。図14は図10の回路に対応している。図14は結合回路Cを構成している2つのモジュールU0およびU1を示している。4つの可変でない抵抗器R0f, R0f*, R1f, R1f*がこれらに追加されている。これらの抵抗器はそれぞれR0, R0*, R1およびR1*に並列接続されている。これら可変

13

でない抵抗器はKに依存することはない。これら可変でない抵抗器は各モジュールU0およびU1がラインLの充電または放電に常に寄与することを保証している。このようなアセンブリの値は、この回路の詳細な説明を提供している図15を検討することによって特定されよう。

【0050】図15は図11の回路を再度取り上げている。マルチブレクサMUX0およびMUX1、並びにバッファメモリT1、T2およびT3が遅延回路D1を構成している。結合回路Cを構成している2つのモジュールU0およびU1のそれぞれに対して、並列接続したアームが追加されている。これらのアームはそれぞれ、2つの直列接続したPチャネルトランジスタおよび2つの直列接続したNチャネルトランジスタを、直列に備えている。U0用のPチャネルトランジスタP01およびP02、U1用のPチャネルトランジスタP11およびP12は、図11に示された回路のU0およびU1の充電回路の既存のPチャネルトランジスタと同様な役目をする。この新しいU0用のNチャネルトランジスタN01およびN02、U1用のNチャネルトランジスタN11およびN12は、U0およびU1の放電回路において同様な役目をする。スイッチの役目をする追加されたトランジスタP01、N01、P11およびN11は依然として信号m0およびm1に接続されている。しかし、可変抵抗器の役目をするトランジスタ、すなわちP02、N02、P12およびN12は常に給電される：追加されたNチャネルトランジスタN02およびN12は電位Vddに接続され、追加されたPチャネルトランジスタP02およびP12は電位Vssに接続されている。これらはコマンドKまたはK'に依存していない。したがって、追加のアームは依然として導通している。これはマルチブレクサの切り替え時に見られるリークおよび電荷分布の問題を補償する。その結果、水平またはわずかに下降する平坦部分が生じる。それによってモジュールU0およびU1における電流の配分はわずかに変更される。これ以後、100%の電流が一方のモジュールに流れ、0%の電流が他方に流れることはなくなる。

【0051】実施例では、各モジュールは一般に、コマンドKおよびK*によって制御される3つのトランジスタを備えている。電位VddまたはVssに常に接続されている追加されたトランジスタは一般に、他の3つのトランジスタと比べて小さく、最大90%の電流がモジュールU0またはU1を通じて流れることができる。これは常に給電されるトランジスタは他のトランジスタの1/3でなければならないことを意味する。

【0052】別の一般的な応用例では、係数K0、K1等によって制御されたトランジスタは二進法(1, 2, 4等)で累進するゲート幅を有する。追加のアームに追加されたトランジスタのゲート幅は上記のゲート幅の最小幅の半分である。7本の同一アームが存在する別の実

14

施例を考えることができる。この場合は、追加されたアームのゲート幅は他のアームのゲート幅の半分である。

【0053】図16(a)～(e)は第1の範囲で何が起きているかを説明するために用いられる。これらの図の説明では、図15の回路を頻繁に参照する。図16(a)および図16(b)は信号m0および時間Tだけオフセットされた信号m1のタイミング図である。時間の開始点はm0が0に切り替わる時点と定義する。

【0054】全ての係数k_iは1であると仮定しよう。

10 これはK=1で最小の遅れがt1に等しい場合に対応する(図2(b)、図4(b)、図6(b)、図8(b)を参照)。我々はある範囲の始点により、電流は主に、最小の遅れを有する信号を受けるモジュールを通じて流れれる。0からTの期間では、係数K*によって制御される図15の全てのPチャネルトランジスタは導通しており、キャパシタC1の充電に寄与している。しかし、m1が1であるため、図15のNチャネルトランジスタN12はC1の放電に寄与する。これは本発明の追加したトランジスタが存在しない場合にのみ起こる。したがって、上記の閾値S2には遅れて到達することになる。これは図16(c)で説明される。曲線C0およびCiははそれぞれ、常に接続されたトランジスタの導入前後ににおけるキャパシタC1の充電に対応している。時間t1およびtiはそれぞれ、本発明の改良の前後において、信号Skが閾値S2に達するのに要する時間に対応する。したがって、この範囲の始点では、t1より大きい遅れtiが存在する。図16(c)から、m1が0に切り替わると、キャパシタC1の充電が以前より速くなることがわかる。これは、P11がこの場合C1の充電に30 参加しているということで説明することができる。

【0055】ここで、全ての値k_iは0であると仮定しよう。これはK=0で最大の遅れがt0に等しい場合に対応する(図2(b)、図4(b)、図6(b)、図8(b)を参照)。我々はこの場合ある範囲の終点にいる。電流は主に、最大の遅れを有する信号を受けるモジュールを通じて流れれる。0からTの期間では、モジュールU0に関しては、トランジスタP01のみがキャパシタC1の充電に寄与するが、m1が1であるため、モジュールU1の全てのNチャネルトランジスタはキャパシタC1の放電に有利に働く。したがって、キャパシタは充電されない。この期間を越えると、m1は0であり、モジュールU1の全てのPチャネルトランジスタ、並びにP01はC1の充電に寄与している。キャパシタC1の充電はしたがってP01が回路内に存在していなかったときよりも速い。したがって、この範囲の終点では、t0より小さい遅れtjが存在する。

【0056】同様の推論はキャパシタの放電に関する低レベルから高レベルへの変化に適用することができる。いずれの場合でも、この範囲の始点では、新しい遅れは50 常に接続されたアームが全く存在しないときの遅れより

15

も大きく、この範囲の終点では、それより小さい。
【0057】したがって、ある範囲では、図16(e)に示す曲線が得られる。点a₁および点b₁は新しい遅延曲線の点である。点a₁は上述の点A(図12)より上側で、点b₁は点B(図12)より下側である。

【0058】図17は範囲内の変化を説明している。図17では、改良しない場合に生じる遅れの実際の曲線を点線を用いて示している。これはぎざぎざの曲線a_b b' c_c' d_d'である。本発明の改良によって得られた遅れを表す曲線は実線で示されている。この線は全て一直線上にある点a₁ b₁ b' l_c l_c' l_d l_d'を通り、点b₁に関する遅れは点bに関する遅れよりもはるかに小さく、一方、点b'に関する遅れは点b'に関する遅れよりも大きい。

【0059】マルチブレクサ(MUX0またはMUX1)が切り替わると、新しい範囲が開始する。図15の回路を用いた新しい範囲の最初の遅れは図11の回路を用いて得られた最初の遅れよりも大きい。このようなアセンブリの利点は、マルチブレクサが切り替わった場合でも、この遅れは必ず増加する点にある。追加された「低い」範囲の差t₀-t_jおよび高い範囲の差t_i-t₁は図13の偏差AB'またはCC'よりも共に大きい。

【0060】したがって、デジタルコマンドは係数K_iの値およびマルチブレクサの切り替えにより効率的に制御することができる。実際に、このコマンドがサーボ制御動作によって生じる場合は、サーボ制御関数が負の傾き(b_b'、c_c')を有し、特に利得曲線のbまたはcにおけるピークによってこのサーボ制御関数が点bに関係する値の周辺で発振するようにする。

【0061】図17はさらに、得られた遅延曲線の比較を示している。曲線C₀1は常に接続されたアームが全く存在しないときの遅延時間を表し、曲線C₀2は常に接続されたアームを有する回路における遅延時間の特性を表す。曲線C₀2は、最適な線型性に近いことを示している。このようにして、遅れはどんな場合でも依然として増加する。

【図面の簡単な説明】

【図1】複数の遅れの範囲を有する可変遅延回路を示す概念図である。

【図2】図1の回路の動作を説明するタイミング図。

【図3】図1の回路について、遅れの変化を異なる大きさの制御変数の関数として示したグラフである。

【図4】図1の回路の動作を説明するタイミング図。

16

【図5】図1の回路について、遅れの変化を異なる大きさの制御変数の関数として示したグラフである。

【図6】図1の回路の動作を説明するタイミング図。

【図7】図1の回路について、遅れの変化を異なる大きさの制御変数の関数として示したグラフである。

【図8】図1の回路の動作を説明するタイミング図。

【図9】図1の回路について、遅れの変化を異なる大きさの制御変数の関数として示したグラフである。

【図10】複数の遅れの範囲を有する可変遅延回路のCMOS実施例を示す概略図である。

【図11】複数の遅れの範囲に関する可変遅延回路の、CMOS技術を用いる詳細な実施例を示す概略図である。

【図12】遅延時間をデジタル制御の関数として表した理論曲線を示す。

【図13】複数の遅れ範囲を有する可変遅延回路において実際に観察される遅延時間をデジタル制御の関数として表した曲線を示す。

【図14】デジタル制御の関数としての遅れの直線性を向上させる、図10に示す回路の本発明による改良を示す。

【図15】デジタル制御の関数としての遅れの直線性を向上させる、図11に示す回路の本発明による改良を示す。

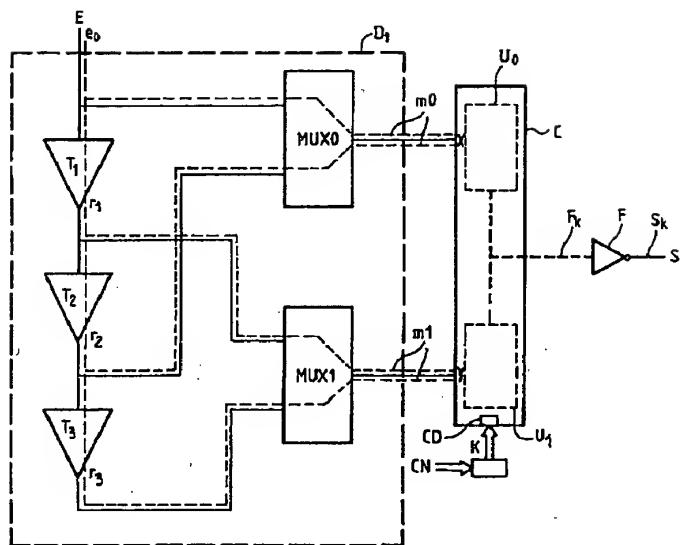
【図16】図11および図15の回路を用いて、ある範囲におけるデジタル制御の関数として得られる遅延時間の比較を示す。

【図17】図11の回路を用いて得られる遅延時間と、図15の回路を用いて得られる遅延時間との比較を示す。

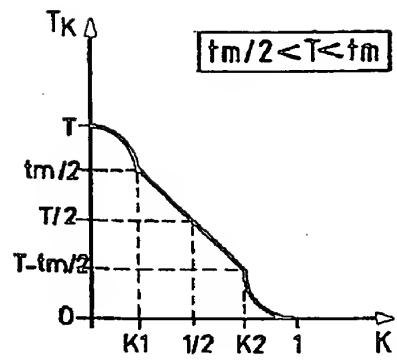
【符号の説明】

C	結合回路
C1	キャバシタ
CD	制御入力
CN	遅延命令
D1	主回路
F	整形回路
FK	結合信号
MUX0	第1のマルチブレクサ
40 MUX1	第2のマルチブレクサ
U1, U2	モジュール
T1, T2, T3	バッファメモリ
m0, m1	中間信号

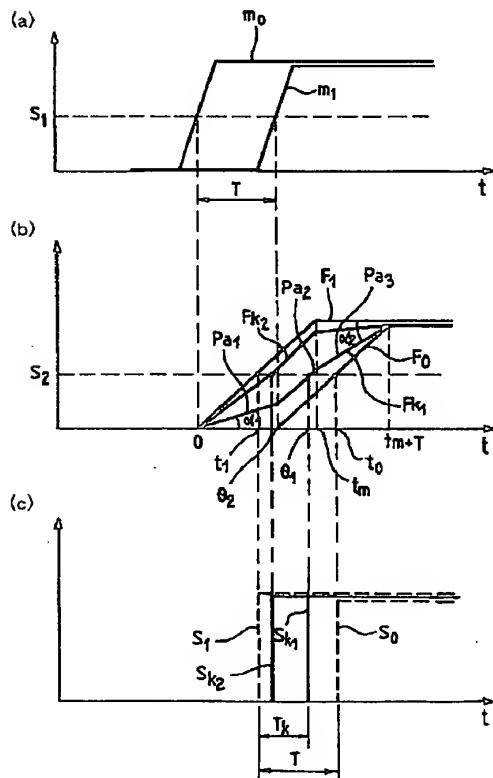
【図1】



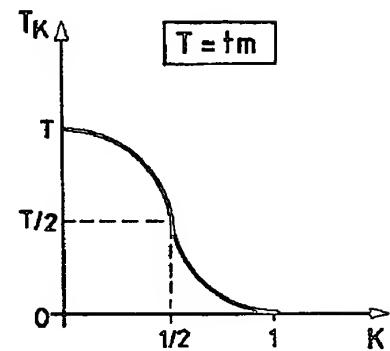
【図3】



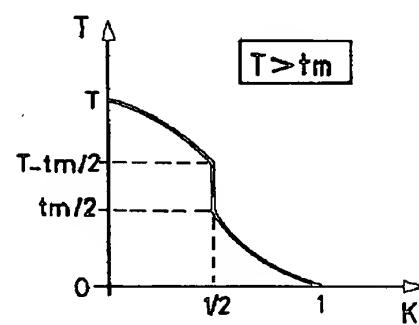
【図2】



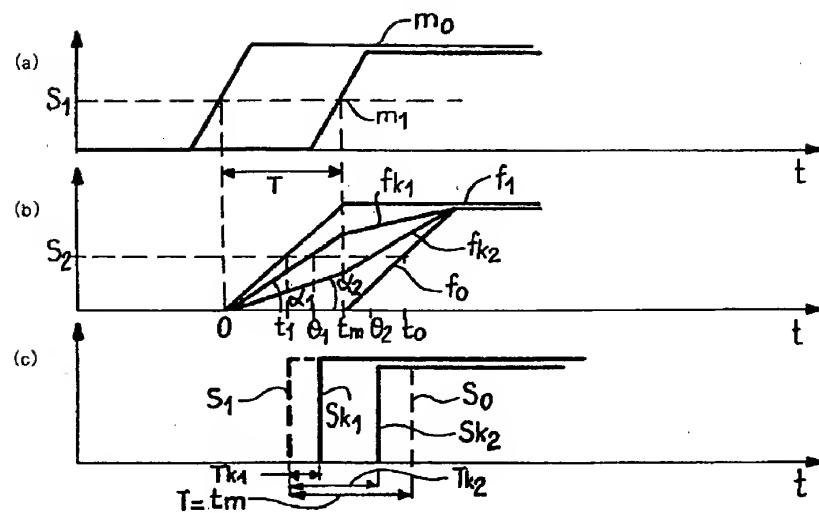
【図5】



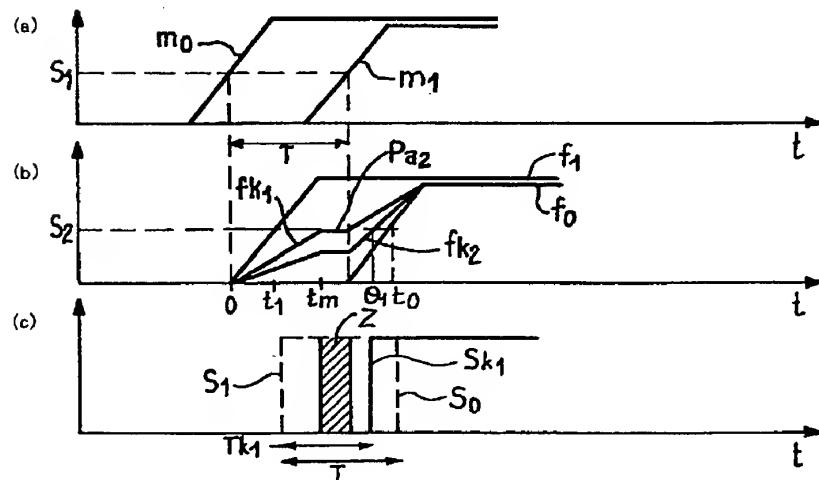
【図7】



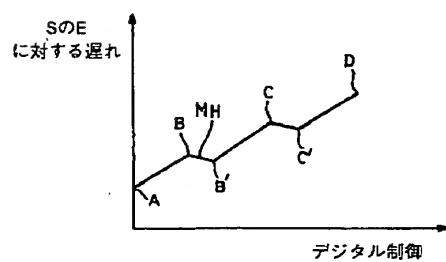
[図4]



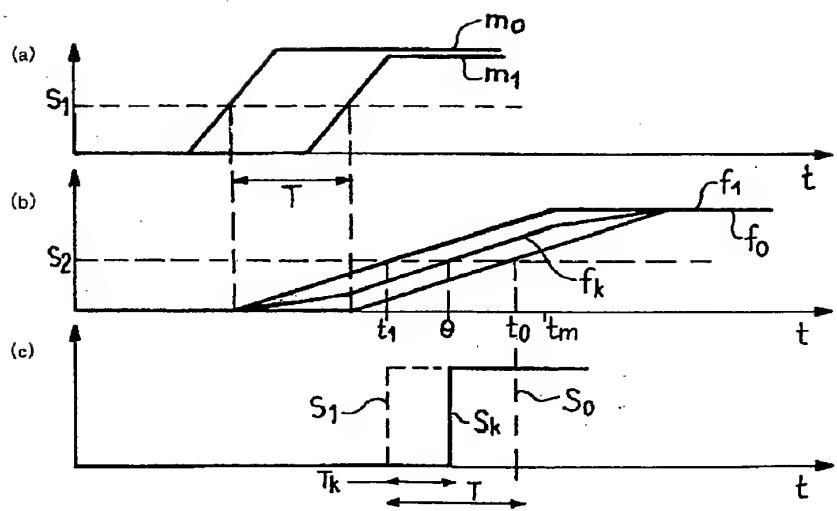
[図6]



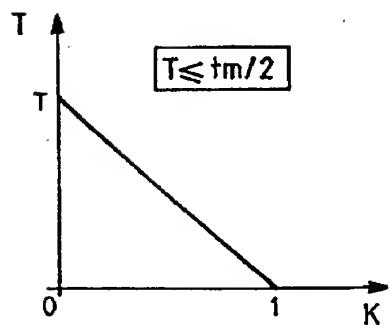
[図13]



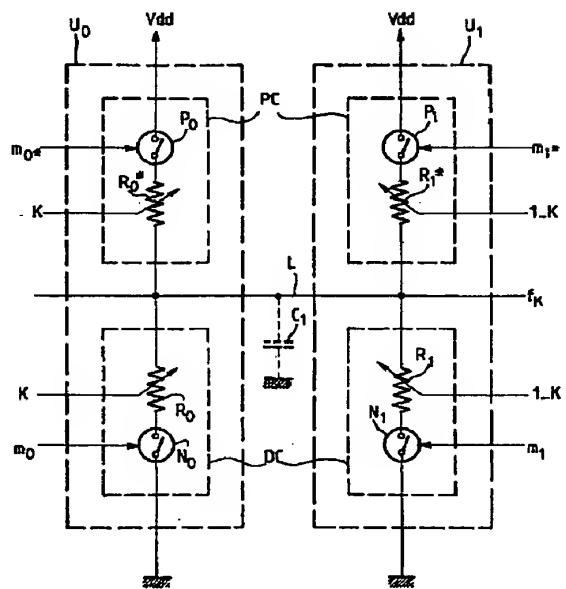
【図8】



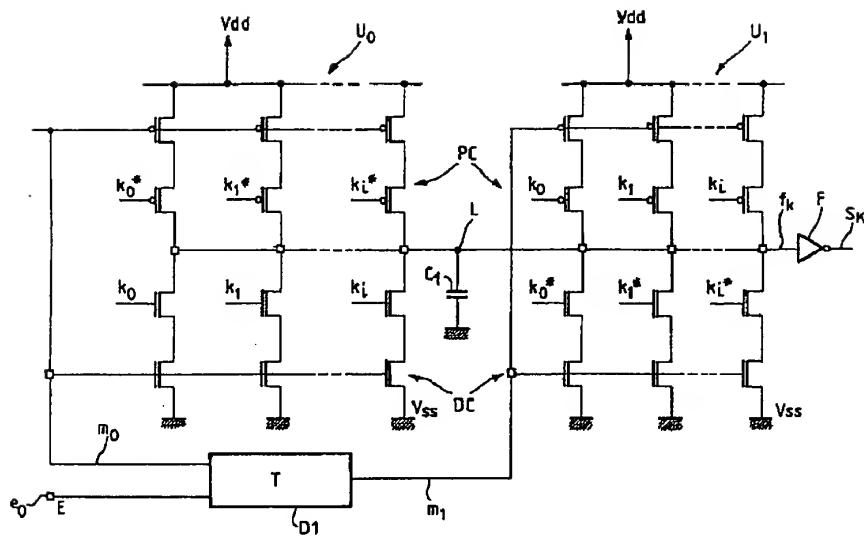
【図9】



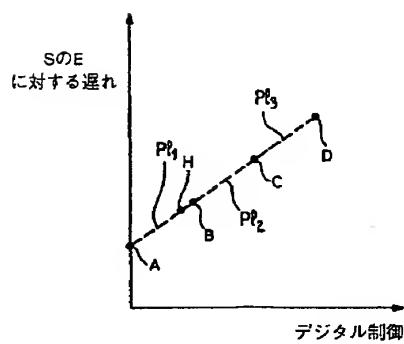
【図10】



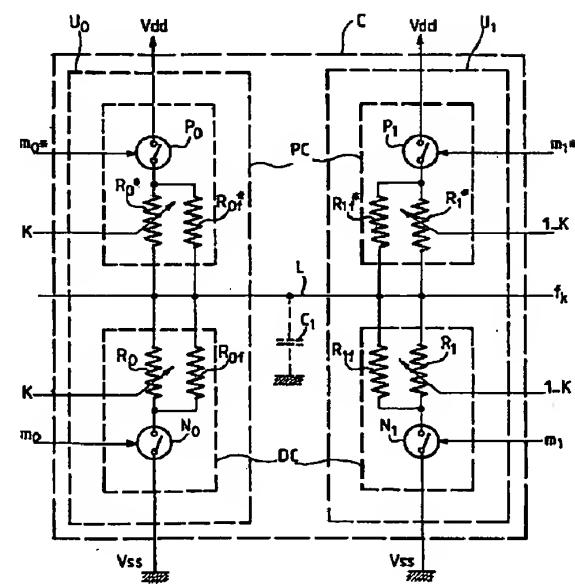
【図11】



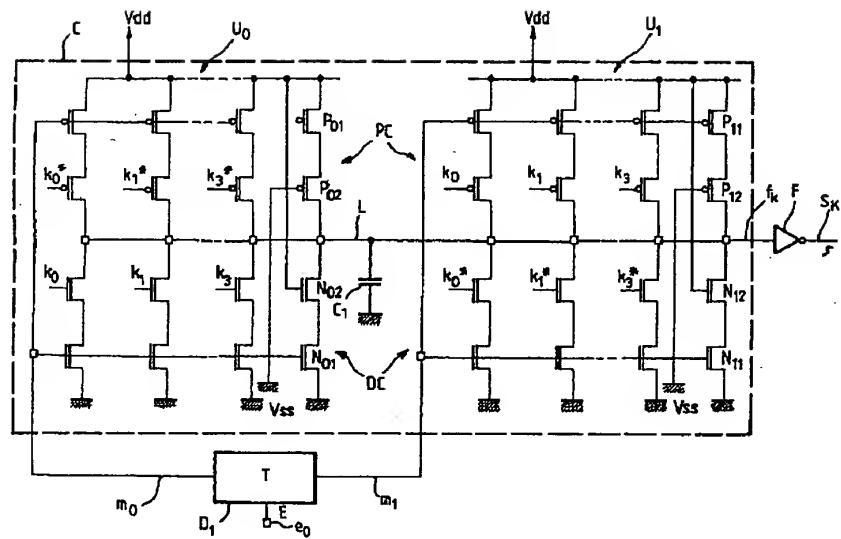
【図12】



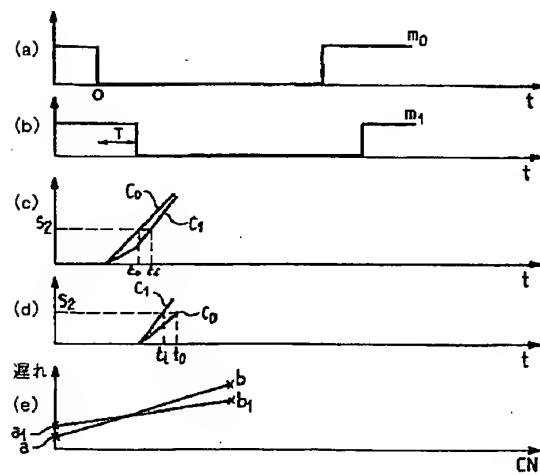
【図14】



【図15】



【図16】



【図17】

